

BURST MODE FLASH MEMORY

Publication number: JP2001176277

Publication date: 2001-06-29

Inventor: AKAOGI TAKAO

Applicant: FUJITSU LTD

Classification:

- International: G11C16/02; G11C7/10; G11C7/22; G11C16/06;
G11C16/26; G11C16/32; G11C16/02; G11C7/00;
G11C7/10; G11C16/06; (IPC1-7): G11C16/02

- european: G11C7/10R; G11C7/22; G11C16/26; G11C16/32

Application number: JP20000362842 20001129

Priority number(s): US19990467758 19991220

Also published as:



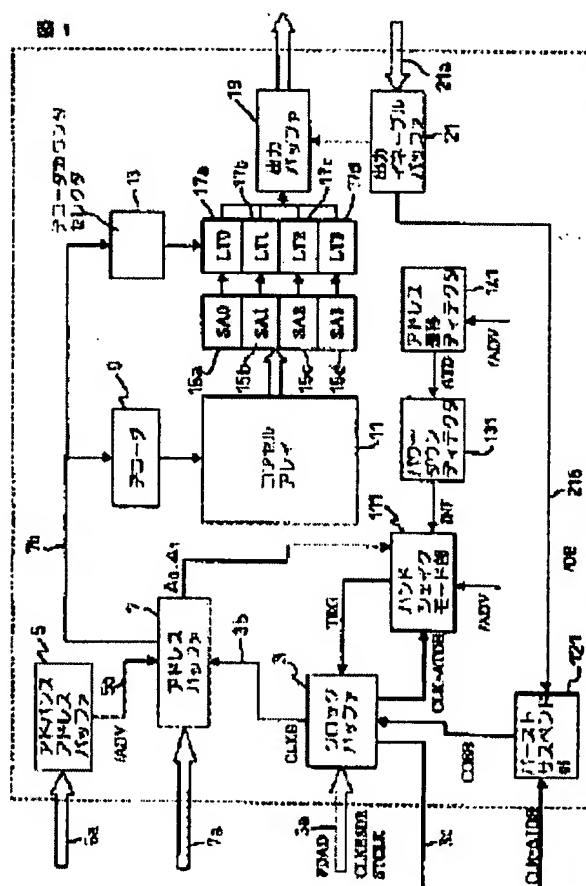
US6205084 (B1)

DE10061805 (A1)

Report a data error here

Abstract of JP2001176277

PROBLEM TO BE SOLVED: To solve such a problem that it is hard to improve the speed of a flash memory device using burst mode technology. **SOLUTION:** A clock generator generates an internal clock signal 3b delayed to improve reliability of data from a flash memory responding to an external output enable signal 21a. A clock trigger generator circuit generates an internal clock signal and shortens a standby time of output of data for an external clock signal CLKESDR by decoding an address signal. A bypass signal INF is sent for prohibiting interruption of the clock trigger generator circuit. An output circuit provides a bypass data pass to shorten more an output standby time of data of a burst mode flash memory. A decoder counter selector circuit 13 provide a look-ahead address decoder system shortening a time required for outputting data.



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号
特開2001-176277
(P2001-176277A)

(43)公開日 平成13年6月29日(2001.6.29)

(51)Int.Cl. ⁷	識別記号	F I	デマコード*(参考)
G 1 1 C 16/02		C 1 1 C 17/00	6 1 3
16/06			6 0 1 D
			6 3 1
			6 3 6 B
			6 3 6 A
審査請求 未請求 請求項の数 9 O L (全 21 頁)			

(21)出願番号 特願2000-362842(P2000-362842)

(22)出願日 平成12年11月29日(2000. 11. 29)

(31)優先権主張番号 09/467758

(32)優先日 平成11年12月20日(1999. 12. 20)

(33)優先権主張国 米国(US)

(71)出願人 000003223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 赤荻 隆男
アメリカ合衆国, カリフォルニア 95014,
キューバーティノ, オクトーバー ウエイ
7911

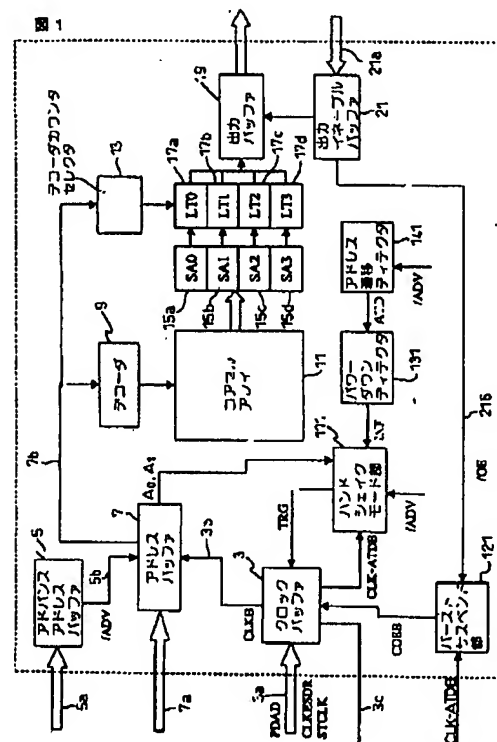
(74)代理人 10007/517
弁理士 石田 敬 (外4名)

(54) 【発明の名称】 パーストモード・フラッシュメモリ

(57) 【要約】

【課題】 従来、バーストモード技術を使用するフラッシュメモリ装置の速度を向上するのは難しかった。

【解決手段】 クロックジェネレータは、外部出力ライン
ーブル信号21aに応答してフラッシュメモリからのデー
タの信頼性を増すために遅延される内部クロック信号3b
を生成する。クロックトリガ・ジェネレータ回路は、ア
ドレス信号をデコードすることで、内部クロック信号を
生成して外部クロック信号CLKESDRに対してデータの出
力の待ち時間を短縮する。クロックトリガ・ジェネレー
タ回路を割り込み禁止にするためにバイパス信号INFが
送られる。出力回路は、バーストモード・フラッシュメ
モリのデータの出力待ち時間をさらに短縮すべくバイパ
ス・データバスを提供する。デコーダカウンタセレクト
回路13は、データを出力するために必要な時間を短縮す
る先取り(look-ahead)アドレスデコード方式を提供す
る。



【特許請求の範囲】

【請求項1】 それぞれがデータを記憶する複数のメモリセルを有するメモリセルアレイと、
 予め定義された制御信号を受信すると、少なくとも1クロック周期分、内部クロックの生成を遅延させる遅延回路を含み、前記複数のメモリセルからメモリセルのサブセットを選択すると共に、外部クロックと同期化される内部クロックを生成する入力回路と、
 選択された前記メモリセルのサブセットに記憶されるデータをフェッチする読み出し回路と、
 前記入力回路が予め定義された制御信号を受信すると、前記内部クロックの生成が少なくとも1クロック周期遅延されるように、予め定められたグループでフェッチされたデータを前記内部クロックと同期して出力する出力回路と、を備えることを特徴とする外部クロックと同期して動作するバーストモード・フラッシュメモリ装置。

【請求項2】 請求項1に記載のバーストモード・フラッシュメモリ装置において、前記入力回路は、前記予め定義された制御信号に対応する信号を受信し、該予め定義された制御信号の遅延された変形である内部イネーブル信号を生成する遅延回路と、
 前記内部イネーブル信号が第1の状態である場合に限って少なくとも1つの内部クロック信号が生成され、外部クロック信号を使って該内部クロック信号を生成する内部クロックジェネレータ回路と、を備えることを特徴とするバーストモード・フラッシュメモリ装置。

【請求項3】 請求項2に記載のバーストモード・フラッシュメモリ装置において、前記入力回路は、さらに、アドレスバッファを備え、該アドレスバッファは、アドレス信号を受信して、前記少なくとも1つの内部クロック信号を使用して該アドレス信号からデコードされたアドレス信号を生成することを特徴とするバーストモード・フラッシュメモリ装置。

【請求項4】 メモリセルアレイ、該メモリセルアレイにアクセスする際に使用されるアドレス情報を処理するアドレスデコーダ、および、該メモリセルアレイのアクセスの信頼性を向上させる方法を備えるフラッシュメモリ装置において、該方法は、
 出力イネーブル信号を受信し、
 該出力イネーブル信号を複数のクロック周期だけ遅延することにより遅延された出力イネーブル信号を構成し、
 内部クロック信号をイネーブルにするために使用される前記遅延された出力イネーブル信号を内部クロックジェネレータに供給し、そして、
 前記遅延された出力イネーブル信号に基づいて、前記メモリセルアレイにアクセスする際に使用される内部クロック信号を生成することを備えることを特徴とするフラッシュメモリ装置。

【請求項5】 メモリセルアレイ、アドレスデコーダのためにアドレス信号を生成するアドレス信号ジェネレー

タ、外部クロック信号に基づいて内部クロック信号を生成するクロックバッファ、および、ハンドシェイク回路を含むフラッシュメモリ装置であって、該ハンドシェイク回路は、

前記アドレス信号ジェネレータによって生成される最下位アドレス信号を比較し、該比較に基づいて制御信号を構成するコンパレータと、

前記外部クロックを位相シフトし、それによりシフトされたクロック信号を構成するシフト回路と、

前記制御信号を使用して前記シフトされたクロック信号の出入りを制御するゲート回路を備え、

それによって、前記シフトされたクロック信号が前記内部クロック信号の生成において前記クロックバッファで使用されることを特徴とするフラッシュメモリ装置。

【請求項6】 メモリセルアレイ、アドレスデコーダのためにアドレス信号を生成するアドレス信号ジェネレータ、外部クロック信号に基づいて内部クロック信号を生成するクロックバッファを含む請求項5に記載のフラッシュメモリ装置において、前記ハンドシェイク回路は、さらに、前記シフトされたクロック信号によって活性化されるゲートを備え、該ゲートが前記内部クロック信号を生成する前記クロックバッファで使用される出力信号を制御することを特徴とするフラッシュメモリ装置。

【請求項7】 メモリセルアレイ、アドレスデコーダのためにアドレス信号を生成するアドレス信号ジェネレータ、外部クロック信号に基づいて内部クロック信号を生成するクロックバッファを含む請求項6に記載のフラッシュメモリ装置において、前記ハンドシェイク回路は、さらに、装置のパワーダウンを示す入力信号を受信し、該装置のパワーダウンを示す入力信号が前記シフトされたクロック信号によるゲートの活性化を無効にすることを特徴とするフラッシュメモリ装置。

【請求項8】 情報を記憶するメモリセルアレイ、アドレス信号を生成するアドレス信号ジェネレータ、該メモリセルアレイにアクセスするためにアドレス信号をデコードしセンスアンプ回路を使ってデータをバイパスモードを有する出力バッファに供給するアドレスデコーダを有するフラッシュメモリ装置において、該出力バッファは、

入力信号を受信して出力信号を出力し、複数のラッチを含む第1のデータバスと、

前記入力信号を受信して前記出力信号を出力し、前記第1のデータバスの一部および該第1のデータバスの少なくとも1つのラッチをバイパスするバイパス部分を含み、アドレス信号の遷移を示す信号により制御されるゲートによって制御される第2のデータバスと、を備えることを特徴とするフラッシュメモリ装置。

【請求項9】 メモリ、および、アドレス選択回路を有し、該メモリからデータを出力するために該アドレス選択回路によって生成される情報を使用するフラッシュメ

メモリ装置のデコーダカウンタセレクトであって、前記アドレス選択回路によって生成される複数のアドレス信号のビットパターンを検出し、複数のマッチ信号を出力するコンパレータと、各シフトレジスタが、連続する隣接したシフトレジスタにより受信された2つのマッチ信号を受信し、且つ、該2つのマッチ信号が予め定められた順番を有するとき、前記メモリの出力を駆動するためにラッチバッファを選択する出力信号を出力する、連続する複数のシフトレジスタと、を備えることを特徴とするデコーダカウンタセレクト。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶システムおよび方法に関し、特に、バーストモード転送データ記憶環境においてデータをアクセスするためにメモリ動作を行う方法およびシステム、とりわけ、フラッシュメモリ装置などの不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】一般的に、フラッシュメモリ装置は、アドレスシーケンサ、ロウデコーダおよびコラムデコーダ、センスアンプ、ライトアンプ、および、メモリセルアレイを備える。フラッシュメモリ装置の一例は、米国特許第5,490,107号に記載されており、その開示は、参照により本明細書に組み込まれる。メモリセルアレイは、ロウおよびコラム（行列）に配列された複数のメモリセルを含む。各メモリセルは、1ビットの情報を保持することができる。

【0003】フラッシュメモリ装置のメモリセルアレイにおけるメモリセルは、一般的に、メモリセルブロックと呼ばれるサブアレイに分類される。各メモリセルブロックは、センスアンプおよびライトアンプと結合される。ライトアンプ（W/A）は、選択されたメモリセルに情報を記憶するために予め定められた1組の電圧を加える。この動作は、プログラム動作または書き込み動作と呼ばれる。同様に、選択されたメモリセルに加えられる予め定められた1組の電圧により、センスアンプ（S/A）は情報を識別して取り出すことができる。この動作は、読み出し動作と呼ばれる。

【0004】一般的に、読み出し動作または書き込み動作は、プロセッサなどのコントローラによって提供される外部信号に応答して開始される。同様に、フラッシュメモリ装置から読み出される情報またはこれに書き込まれる情報は、一般的に、プロセッサにまたはプロセッサから転送される。ほとんどの場合、転送される情報量は多量である。また、コントローラからフラッシュメモリ装置にまたはフラッシュメモリ装置からコントローラに情報が伝達される速度はさらに加速している。したがって、プロセッサ、フラッシュメモリ装置、および、プロセッサとフラッシュメモリ装置の間の通信インターフェ

イスに対して一貫して性能の向上が要求されている。

【0005】例えば、プロセッサ、フラッシュメモリおよびその他の周辺装置は、通信インターフェイス、例えば、バスの使用を競い合わざるを得ない。しかし、周辺装置にまたは周辺装置から情報を転送するためのバスの帯域幅は限られている。したがって、効率のよいバスの利用が一般的に非常に望ましい。バーストモード技術は、効率的にバスを使用し、バスの帯域幅を増大するための1つの手法である。バーストモード技術は、メモリに対する個々の読み出し要求および書き込み要求を結合して集合体とし、各集合体が多く個別の読み出し要求または書き込み要求によって構成される。バーストモード技術は、個別読み出し要求の集合体が転送された後に個別書き込み要求の集合体が転送されるように、これらの集合体をバースト状に転送する。したがって、バーストモード技術は、読み出しまたは書き込み要求のグループを個別にではなく同時に処理することができ、バスの過負荷が減少し、バスの帯域幅を効果的に増大する。

【0006】また、より高い性能のフラッシュメモリ装置を実現するために、読み出しおよび書き込み動作の速度が速められることが多い。読み出し動作の速度を速める1つの方法は、同期化である。読み出し動作を外部クロックと同期化させることによって、読み出し動作の速度が向上する。

【0007】

【発明が解決しようとする課題】しかしながら、プロセッサは、一度に1つの周辺装置だけをバス使用のために選択するか、或いは、イネーブルにすることが多い。周辺装置の選択は通常予め定められた順序でまたはランダムに行われる。特定の条件下において、フラッシュメモリがイネーブルにされるとき、読み出し動作は、安定のために時間が長くなる場合がある。遅延は、外部クロックの1クロック周期より長いことがしばしばあるので、外部クロックへの読み出し動作の同期化を乱す。その結果、選択されたメモリセルから不正確なデータが読み出される可能性がある。したがって、バーストモード技術とフラッシュメモリ動作の両方を使用することは問題を含んでいる。

【0008】さらに、バーストモード技術の使用は、一般的に、メモリ動作を行う際に初期待ち時間を必要とする。場合によっては、低クロック周波数で動作する周辺装置の動作を乱さないようにするために初期待ち時間が必要とされる。しかしながら、フラッシュメモリ装置などの高クロック周波数で動作する周辺装置の場合、フラッシュメモリ装置の性能速度を向上するために初期待ち時間をバイパスすることができる。したがって、バーストモード技術とフラッシュメモリ動作の両方を使用する際の障害を克服する方法およびシステムが要望されている。さらに、バーストモード技術を使用するフラッシュメモリ装置の性能速度を向上することも望まれている。

【0009】

【課題を解決するための手段】本発明は、バーストモード・フラッシュメモリ装置を提供する。1つの実施態様においては、バーストモード・フラッシュメモリ装置は、外部クロックと同期して動作し、複数のメモリセルを持つメモリセルアレイを含み、各メモリセルがデータを記憶する。メモリ装置は、さらに、メモリセルのサブセットを選択し且つ外部クロックと同期化された内部クロックを生成する入力回路を含み、内部クロックの生成は、予め定義された制御信号を受信すると遅延される。メモリ装置は、さらに、選択されたメモリセルのサブセットに記憶されたデータをフェッチする読み出し回路、および、予め定められたグループで内部クロックと同期してフェッチされたデータを出力する出力回路を含む。他の実施態様において、バーストモード・フラッシュメモリ装置は、予め定義された制御信号に対応する信号を受信し、予め定義された制御信号の遅延された変形である様々な内部イネーブル信号を生成する遅延回路を含む。さらに、入力回路は、外部クロック信号を使用して内部クロック信号を生成する内部クロックジェネレータ回路を含み、内部クロック信号のうち少なくとも1つは、内部イネーブル信号が最初の状態のときにのみ生成される。

【0010】付加的な実施態様において、フラッシュメモリ装置は、メモリセルアレイ、メモリセルアレイにアクセスする際に使用されるアドレス情報を処理するためのアドレスデコーダ、出力イネーブル信号を受け遅延イネーブル信号を構成することを含むメモリセルアレイのアクセスの信頼性を向上する方法を有する。その方法は、さらに、内部クロック信号をイネーブルにするために使用される遅延出力イネーブル信号を内部クロックジェネレータに与え、メモリセルアレイにアクセスする際に使用される内部クロック信号を生成することを備える。

【0011】本発明のさらなる実施態様は、アドレス信号ジェネレータが生成する最下位アドレス信号を比較し制御信号を構成するコンパレータを含むハンドシェイク回路、外部クロックをシフトするためのシフト回路、およびシフトされたクロック信号を通すためのゲート回路を含むフラッシュメモリ装置を備える。本発明のさらに他の実施態様は、第1のデータバスおよび第2のデータバスを含む出力バッファを有するフラッシュメモリ装置を備える。第1のデータバスは入力信号を受信して出力信号を出力し、複数のラッチを含む。第2のデータバスは、第1のデータバスの一部および第1のデータバスの少なくとも1つのラッチをバイパスするバイパス部分を含み、この第2のデータバスは、遷移を示す信号およびアドレス信号によって制御されるゲートによって制御される。さらに別の実施態様において、本発明は、フラッシュメモリ装置用のデコーダカウンタセレクトを備え

る。デコーダカウンタセレクトは、複数のアドレス信号のビットパターンを見いだすためのコンパレータを含む。デコーダカウンタセレクトは、さらに、一連のシフトレジスタを含み、各シフトレジスタは、連続する隣接したシフトレジスタが受信するマッチ信号を受信し、メモリの出力を駆動するためにラッチバッファを選択するための出力信号を出力する。

【0012】

【発明の実施の形態】本発明の付随する特徴の多くは、添付図面に関連して認識される以下の詳細な説明を参照することで本発明をより良く理解すれば、容易に分かるであろう。図1は、本発明のバーストモード・フラッシュメモリ装置の一実施例の簡略化されたブロック図を示している。バーストモード・フラッシュメモリは、クロックバッファ3、アドバンスアドレスバッファ5およびアドレスバッファ7を含む。本発明は読み出し動作に関するものであるため、明確を期するために書き込みまたはプログラム動作を行うために利用されるバーストモード・メモリの部分については説明しない。当業者であれば、複数の論理ゲート構成を使用してプログラム動作を実施できることが分かるであろう。各バッファ、すなわち、クロックバッファ、アドバンスアドレスバッファおよびアドレスバッファは、外部信号に応答して動作する。外部信号は、本実施例においては、プロセッサからシステムバスを通して送られる。本実施例において、バーストモード・メモリは、3つの外部信号、すなわち、外部クロックおよびパワーダウン信号3a、アドバンスアドレス信号5a、およびアドレス信号 $A_0 \sim A_N$ 7aを受信する。 2^{N+1} のメモリ位置に対応するアドレス信号 $A_0 \sim A_N$ は、特定のメモリ位置のアドレスを指定する。

【0013】クロックバッファ3は、外部クロックおよびパワーダウン信号3aを受信して、バッファクロック信号CLKB 3bを生成する。バッファクロック信号3bは、外部クロック信号CLKESDRに同期化される。同様に、アドバンスアドレスバッファ5は、アドバンスアドレス信号5aを受信して、内部アドバンスアドレス信号5bを生成する。内部アドバンスアドレス信号5bは、アドレス信号 $A_0 \sim A_N$ のそれぞれを順にインクリメントすることを表す。アドレスバッファ7は、内部クロック信号3b、内部アドバンスアドレス信号5b、および、アドレス信号 $A_0 \sim A_N$ 7aを受信する。アドレスバッファ7は、バッファクロック信号3bと同期して内部アドレス信号 $A_0 \sim A_N$ 7bを生成する。アドレスバッファは、バッファクロック信号3bの各立ち上がりエッジで内部アドレス信号 $A_0 \sim A_N$ を順にインクリメントする。デコーダ9は、内部アドレス信号 $A_0 \sim A_N$ を受信する。同様に、アドレスバッファ7が生成するアドレス信号 $A_0 \sim A_N$ の最初の2つのビット、すなわち、アドレス信号 $A_0 \sim A_1$ がデコーダカウンタセレクト13に送られる。デコーダ9は、内部アドレス信号 $A_0 \sim A_N$ に

基づいて、コラムおよびロウ信号を生成する。コラムおよびロウ信号は、メモリ動作すなわち読み出し動作のためにコアセルアレイにおいて特定のメモリセルを選択する。

【0014】コアセルアレイ11は、複数のメモリセルを含む。各メモリセルは、1ビットの情報、例えば、バイナリの1または0を記憶することができる。メモリセルは、一般に、メモリセルブロックまたはワードと呼ばれるメモリセルのサブセットに分類される。各メモリセルブロックは、対応するセンスアンプに結合される。本実施例において、4つのセンスアンプ15a~15dは、コアセルアレイ11に結合されている。各センスアンプは、選択された対応するメモリセルに記憶される情報またはデータを同時に「センス(sense)」する。一実施例においては、選択された対応するメモリセルは、読み出し動作のために同時にアクセスされる1つのメモリワードまたはメモリセルのロウに対応する。

【0015】各センスアンプ15a~15dは、それぞれラッチバッファ17a~17dにも結合される。各センスアンプは、同時にメモリセルからのデータをそれぞれのラッチバッファに送る。各ラッチバッファ17a~17dは、それぞれのセンスアンプから送られたデータを一時的に記憶する。ラッチバッファ17a~17dにはデコードカウンタセクタ13が結合される。デコードカウンタセクタ13は、それぞれのラッチバッファから出力バッファ19にデータを伝送するために各ラッチバッファ17a~17dを順に「トリガ(trigger)」するか、或いは、「イネーブル(enable)」にする。デコードカウンタセクタは、アドレス信号A₀~A₁に基づいてそれぞれのラッチバッファを順次イネーブルにする。ラッチバッファ17aがイネーブルになると、内部アドレス信号A₀~A_Nがインクリメントされる。したがって、センスアンプ15a~15dは「新たに(newly)」選択されたメモリセルのデータを検出し始める。

【0016】出力バッファ19は、出力イネーブルバッファ21に結合される。出力イネーブルバッファ21は、外部出力イネーブル信号21aを受信する。外部出力イネーブル信号は、一実施例において、データを出力すべくバーストモード・フラッシュメモリに伝えるために、プロセッサによりシステムバスを通して送られる。出力イネーブル信号21aにตอบสนองして、出力イネーブルバッファ21は内部出力イネーブル信号21bを生成する。内部出力イネーブル信号21bに基づいて、出力バッファはそれぞれのラッチバッファ17a~17dから受信したデータを出力する。

【0017】内部出力イネーブル信号21bは、バーストサスペンド部121に送られる。バーストサスペンド部121には、クロックバッファ3が生成する内部クロック信号CLK-ATDBも送られる。バーストサスペンド部121は、バッファクロック信号CLKB 3b

の出力を遅延するか否かをクロックバッファ3に知らせるために、クロック出力イネーブル信号COEBを送る。バッファクロック信号のタイミングを操作することにより、バーストサスペンド部121は、出力バッファ19からの出力のタイミングも処理することができる。

【0018】アドレス遷移検出信号ATDは、アドレス遷移ジェネレータ141により生成される。新しいアドレスがロードまたはインクリメントされると、アドレス遷移ジェネレータはアドレス遷移検出信号ATDを出力する。アドレス遷移検出信号ATDは、パワーダウンディテクタ131に送られる。パワーダウンディテクタは、外部クロック信号CLKESDRの周波数が以下に詳しく説明するハンドシェイクモードを使用するには低すぎる場合、ディセーブルモード信号INFを出力する。

【0019】ハンドシェイクモード部111には、内部クロック信号CLK-ATDB、アドレス信号A₀およびA₁、アドバンスアドレス信号/ADV 5aおよびディセーブルモード信号INFが供給される。また、ハンドシェイクモード部111は、バッファクロック信号のタイミングも処理するので、出力バッファ19からの出力も処理することができる。ディセーブルモード信号INFがアクティブでない場合、ハンドシェイクモード部111は、クロックバッファ3にトリガ信号TRGを送ることによって、バッファクロック信号CLKBのタイミングを操作する。バッファクロック信号CLKBのタイミングを操作することにより、初期アドレスが高速でロードされ、出力バッファ19からの出力も高速になる。

【0020】したがって、読み出し動作中、検出またはセンスされるデータは、内部クロック信号3bと同期して、対応するラッチバッファ17a~17dに記憶される。同様に、センスされたデータは、外部クロック信号CLKESDRと同期して転送される。同期転送により、読み出し動作の速度を最大限とすることができる。しかしながら、各読み出し動作は、クロックバッファ3により生成されるバッファクロック信号に依存する。

【0021】II. クロックバッファおよびバーストサスペンド部

図2および図3は、図1に示される本発明のバーストモード・フラッシュメモリ回路におけるクロックバッファおよびバーストサスペンド部の一実施例を概略的に示す。内部出力イネーブル信号/OE 216(図1)は、バーストサスペンド部121に入力として提供される。バーストサスペンド部の入力は、第1のインバータ31aの入力および第1および第2のトランジスタ33および35のゲートに結合される。第1のトランジスタ33および第2のトランジスタ35のソースは、両方とも接地されている。内部出力イネーブル信号/OEがハイ(高レベル)の時、第1および第2のトランジスタは

オンになるので、接地に至るパスが作られる。

【0022】第1のインバータ31aの出力は、第1の対のクロックトランジスタ37a、37bのドレインに結合される。第1の対のクロックトランジスタは、一緒に結合されたドレインおよびソースを有し、一方のトランジスタはp-チャネル(37a)であり、他方のトランジスタはn-チャネル(37b)である。p-チャネルトランジスタのゲートには、反転内部クロック信号/CLK-ATDBが供給され、n-チャネルトランジスタは内部クロック信号CLK-ATDBに結合される

(図1)。内部クロック信号の立ち上がりエッジ、したがって、反転内部クロック信号の立ち下がりエッジで、第1の対のクロックトランジスタはオンになる。その結果、反転内部出力イネーブル信号は、第1の対のクロックトランジスタ37a、37bを通して転送される。一緒に結合された第1の対のクロックトランジスタのソースは、第1のラッチ39aの入力および第1のトランジスタ33のドレインに結合される。第1のラッチ39aは一緒に結合された対のインバータによって形成され、第1のインバータの入力は第2のインバータの出力に結合され、そして、第2のインバータの入力は第1のインバータの出力に結合される。内部出力イネーブル信号/OE 21bがハイの場合、第1のラッチ39aの入力にロー(低レベル)が提供される。第1のラッチは、内部出力イネーブル信号を再び反転して、出力する。

【0023】第1のラッチの出力は、第2の対のクロックトランジスタ37c、37dに結合される。第2の対のクロックトランジスタは、一緒に結合されたドレインおよびソースを有し、一方のトランジスタはp-チャネル(37c)であり、他方のトランジスタはn-チャネル(37d)である。p-チャネルのトランジスタのゲートは内部クロック信号CLK-ATDBに結合され、また、n-チャネルのトランジスタは反転内部クロック信号に結合される。内部クロック信号の立ち下がりエッジ、したがって、反転内部クロック信号の立ち上がりエッジで、第2の対のクロックトランジスタはオンになる。その結果、内部出力イネーブル信号/OEは、第2の対のクロックトランジスタを通して転送される。第2の対のクロックトランジスタと一緒に結合されたソースは、第2のラッチ39bの入力および第1のp-チャネルトランジスタのソースに結合される。第1のp-チャネルトランジスタのドレインは、基準電圧Vccに結合される。p-チャネルトランジスタ41のゲートは、反転内部出力イネーブル信号に結合される。したがって、内部出力イネーブル信号がハイの場合、第1のp-チャネルトランジスタ41はオンになり、基準電圧へのパスが確立される。次に、第2のラッチ39bの入力にハイが与えられる。そして、第2のラッチが内部出力イネーブル信号を入力として反転する。

【0024】同様に、内部出力イネーブル信号/OE

は、引き続き第3の対のクロックトランジスタ37e、37fおよび第3のラッチ39cを通して再び反転され、第4の対のクロックトランジスタ37g、37hおよび第4のラッチ39dを通して再度反転される。そして、反転内部出力イネーブル信号は、入力として第2のインバータ31bに送られる。第2のインバータは、出力イネーブル信号を再度反転して、バッファ出力イネーブル信号COEBを出力する。バッファ出力イネーブル信号COEBは、一実施例において、システム制御信号として利用される。したがって、バッファ出力イネーブル信号COEBがハイであれば、バーストモード・フラッシュメモリ装置からのデータが準備完了であるか或いは有効であることを意味し、これをシステムに伝える。本実施例において、バッファ出力イネーブル信号COEBは、図3に示されるクロックバッファ回路に入力として与えられる。なお、クロックバッファ回路には、他の入力も与えられる。

【0025】IIA. クロックバッファ

図3は、図1に示される本発明のバーストモード・フラッシュメモリにおけるクロックバッファ3の一実施例の概略を示す。外部クロック信号CLKESDR、外部パワーダウン信号PDADおよびストップクロック信号STCLKは、クロックバッファに入力として提供される。クロックバッファは、バッファクロック信号CLKBおよび内部クロック信号CLK-ATDBを出力する。内部クロック信号CLK-ATDBは、外部パワーダウン信号PDADおよび外部クロック信号CLKESDRに依存する。外部パワーダウン信号PDADは、第1のNORゲート131aの入力に結合される。外部クロック信号CLKESDRは、第1のNORゲートの他の入力および第1のNANDゲート133aの入力に結合される。第1のNANDゲート133aの他の入力、第1のインバータ135aの出力に結合される。第1のインバータ135aの入力は、外部パワーダウン信号PDADを与えられる。したがって、反転外部パワーダウン信号が第1のNANDゲート133aに送られる。

【0026】第1のNORゲート131aの出力は、第2のインバータ135bの入力に結合される。第2のインバータの出力は第3のインバータ135cの入力に結合される。第3のインバータの出力は、内部クロック信号CLK-ATDBの出力となる。したがって、外部パワーダウン信号PDADおよび外部クロック信号CLKESDRの両方がローの時、内部クロック信号CLK-ATBはハイである。しかしながら、外部パワーダウン信号PDADおよび外部クロック信号CLKESDRが異なる場合、すなわち、一方の信号がハイでもう一方がローの場合、或いは、両方がハイの場合、内部クロック信号CLK-ATBはローである。換言すると、外部パワーダウン信号PDADがローのとき、内部クロック信

号CLK-ATBは、外部クロック信号CLKESDRをエミュレートする。しかしながら、外部パワーダウン信号PDADがハイのとき、内部クロック信号CLK-ATBはローになる。

【0027】第1のNANDゲート133aの出力は、第4のインバータ135dの入力に結合される。第4のインバータ135dの出力は、第1のp-チャネルトランジスタ141aのゲートに結合される。第1のNANDゲートの出力は、第1のn-チャネルトランジスタ143aのゲートにも結合される。第1のn-チャネルトランジスタのドレインは、第1のp-チャネルトランジスタのソースに結合される。第1のp-チャネルトランジスタのドレインは、第2のp-チャネルトランジスタ141bのソースに結合される。第2のp-チャネルトランジスタのドレインは、基準電圧Vccに結合される。第1のn-チャネルトランジスタのソースは、第2のn-チャネルトランジスタ143bに結合される。第2のn-チャネルトランジスタ143bのソースは、接地される。第2のp-チャネルトランジスタおよび第2のn-チャネルトランジスタの両方のゲートは、一緒に第2のNORゲート131bの出力に結合される。第2のNORゲートへの第1の入力は、ストップクロック信号STCLKであり、第2のNORゲートへの第2の入力は、クロック・イネーブル回路(図2)により生成されるクロック出力イネーブル信号COEBである。

【0028】第1のNAND133aの出力は、第1のORゲート139の第1の入力に結合される。第1のORゲート139の出力は、第2のNANDゲート133bの第2の入力に与えられる。第2のNANDゲート133bの第1の入力は、基準電圧Vccに結合される。したがって、第2のNAND133bゲートの第1の入力は、常にハイである。その結果、第2のNANDゲート133bの出力は、NANDゲート133bの第2の入力の状態を反転して鏡映(mirror)する。例えば、第1のORゲート139の出力、すなわち、NANDゲート133bの第2の入力がローである場合、第2のNANDゲートの出力はハイとなる。同様に、第1のORゲート139の出力がハイになると、第2のNANDゲートの出力はローとなる。第2のNAND133bの出力は、第5のインバータ135eの入力に結合される。第5のインバータ135eの出力は、バッファクロック信号CLKBの出力となる。

【0029】第1のORゲート139の第2の入力は、第1のループインバータの出力と第2のループインバータの入力が交差する個所に結合される。第2のループインバータの出力は、第1のループインバータの入力に結合される。第1のp-チャネルトランジスタのソースおよび第1のn-チャネルトランジスタのドレインは、両方とも第1のループインバータ137aの出力および第2のループインバータ137bの入力に結合される。

【0030】ストップクロック信号STCLKがハイのとき、第2のNORゲートの出力はローである。第2のNORゲートの出力がローのとき、第2のp-チャネルトランジスタはオンになり、第2のn-チャネルトランジスタはオフになる。したがって、基準電圧が第2のp-チャネルトランジスタを通して伝達され、第2のn-チャネルトランジスタが開回路を作る。内部クロック信号ICLKの立ち下がりエッジで第1のp-チャネルトランジスタはオンになるので、基準電圧は第1のp-チャネルトランジスタを通して送られる。したがって、基準電圧は、第1のループインバータ137aの出力と第2のループインバータ137bの入力が交差する個所に伝達される。このように、第1のORゲート139の第2の入力はハイであり、すなわち、基準電圧が与えられ、第1のORゲートの出力も、第1のORゲートの第1の入力の状態に関係なくハイである。第2のNANDゲート133bはローを出力し、第5のインバータ135eはハイを出力する。したがって、ストップクロック信号STCLKがハイのとき、バッファクロック信号CLKBもハイである。

【0031】ストップクロック信号がローのとき、第2のNORゲートの出力は、クロック出力イネーブル信号COEBの反転である。クロック出力イネーブル信号COEBがローのとき、第2のn-チャネルトランジスタ143bはオンになり、第2のp-チャネルトランジスタ141bはオフになる。反転内部クロック信号ICLKBの立ち上がりエッジで、第1のORゲート139の第2の入力はローである。したがって、第1のORゲートの第1の入力は、第1のORゲートの出力を支配する。換言すると、ORゲートの第1の入力がハイのとき、ORゲートの出力はハイであり、同様に、ORゲートの第1の入力がローのとき、第1のORゲートの出力もローである。第1のORゲート139の第1の入力は、反転内部クロック信号ICLKBに結合されるので、第1のORゲートの出力は、反転内部クロック信号ICLKBを鏡映する。第2のNANDゲート133bは反転内部クロック信号ICLKBを反転し、その後、第5のインバータ135eが再び反転内部クロック信号ICLKBを反転する。したがって、ストップクロック信号STCLKがローで、クロック出力イネーブル信号がローのとき、バッファクロック信号CLKBは、反転内部クロック信号ICLKBをエミュレートする。

【0032】クロック出力イネーブル信号COEBがハイで、ストップクロック信号STCLKがローのとき、第2のn-チャネルトランジスタ143bはオフになり、第2のp-チャネルトランジスタ141bはオンになる。内部クロック信号ICLKの立ち下がりエッジで、第1のORゲート139の第2の入力はハイである。したがって、第1のORゲート139の第2の入力がハイのとき、第1のORゲートの出力もハイである。

第2のNANDゲート133bは、ローを出力し、第5のインバータ135eハイを出力する。したがって、ストップクロック信号STCLKがハイであり、クロック出力イネーブル信号がハイのとき、バッファクロック信号CLKBもハイである。

【0033】図4は、図1、図2および図3を参照して上述したクロックバッファの動作を説明するために信号間の関係を示すタイミング図である。外部クロック波形EXTCLKW 201は、時間の経過を追ってジェネレータ・バッファ3（図3）に与えられる外部クロック信号CLKESDRを表している。外部クロック波形EXTCLKW 201は、0ボルトから基準電圧Vccまでの範囲の振幅を持つ周期的信号である。内部クロック波形INTCLK 203は、時間の経過を追ってバッファクロックジェネレータから出力される反転バッファクロック信号CLKBを表す。内部クロック波形INTCLK 203も、0ボルトからVccまでの範囲の振幅を持つ。バーストサスペンド部121（図2）に与えられる内部出力イネーブル信号/OE 216は、出力イネーブル波形/OEW 205で表される。出力イネーブル波形がローのとき、すなわちゼロボルトのとき、クロックバッファおよびバーストサスペンド部はオンである。

【0034】換言すると、出力イネーブル波形/OEW 205がローのとき、バッファ出力イネーブル信号COEB（図1）はローである。図3を参照して説明した通り、バッファ出力イネーブル信号COEBがローであれば、反転バッファクロック信号CLKBは、外部クロック信号CLKESDRをエミュレートする。したがって、内部クロック波形INTCLKW 203は、外部クロック波形EXTCLKW 201を鏡映する。図1を参照して説明した通り、反転バッファクロック信号CLKBは、アドレスバッファ7に与えられる。アドレスバッファは、反転バッファクロック信号CLKBの立ち上がりエッジと同期してデコーダ9およびデータカウンタ13にアドレス信号A₀～A_Nを与える。デコーダ9は、コアセルアレイ11からメモリセルを選択し、センスアンプ15a～15dは選択されたメモリセルからデータをフェッチする。データカウンタ13は、出力バッファ19に出力されるデータを一時的に記憶するためにラッチバッファ17a～17dを選択する。出力波形OUT 207は、出力バッファ19から出力されるデータを表している。したがって、内部出力イネーブル信号/OEがローのとき、データが出力バッファ19から出力される。

【0035】出力イネーブル波形/OEW 205が示すように、出力イネーブル信号/OE1がハイのとき、内部クロック波形203は、外部クロック波形201をエミュレートしない。図2を参照して説明した通り、内部出力イネーブル信号/OEがハイになると、バッファ

出力イネーブル信号COEBはハイになる。図3を参照して説明した通り、バッファ出力イネーブル信号COEBがハイであれば、反転バッファクロック信号CLKBは、外部クロック信号CLKESDRの状態に関係なくローになる。したがって、アドレスバッファ7に与えられる反転バッファクロック信号CLKBはローであり、アドレス信号A₀～A_Nはフラッシュメモリの残り部分には与えられない。

【0036】その後の出力イネーブル波形/OEW 205が示すように、内部出力イネーブル信号/OEが再びローになると、内部クロック波形203は再び外部クロック波形201をエミュレートし始める。図2を参照して説明した通り、内部出力イネーブル信号/OEがハイになると、バッファ出力イネーブル信号COEBはハイになる。しかしながら、出力イネーブル信号/OEがバーストサスペンド部（図2）を通して伝搬するためには、2クロック周期K₀およびK₁が必要とされる。したがって、外部クロック波形EXTCLK 201および出力イネーブル波形/OEW 205により示される通り、内部クロック波形INTCLKは、2クロック周期K₀およびK₁の後に外部クロック波形EXTCLKをエミュレートする。再び図1を参照して、バッファクロック信号CLKBの2クロック周期分の遅延により、ラッチバッファ17a～17dのいずれか1つの中にある一時データD_nに安定のための追加時間が与えられる。一時データD_nは、内部出力イネーブル信号/OEがハイになる直前のクロック周期C_nと対応付けられる。遅延により、データは準備完了して有効となり、出力バッファ19を通して出力される。

【0037】III. ハンドシェイクモードを使用する場合の初期レイテンシ

図5は、本発明のバーストモード・フラッシュメモリにおけるハンドシェイクモードの一実施例の概略図を示す。初期アドレスビットA₀およびA₁に基づいて、カウンタ回路49は、内部クロック信号CLK-ATDB（図1）のクロック周期の数をカウントする。次に、デコーダ回路はトリガ信号TRG1を生成し、これが図6に示される内部クロックジェネレータに送られる。

【0038】ハンドシェイクモード部111には、アドレスバッファからアドレス情報が送られ、ANDゲートを含む一連の論理ゲートおよびインバータを含む。アドレス情報、特に、アドレスビットA₀は、第2のANDゲート41bおよび第4のANDゲート41dに結合される。アドレスビットA₀は、また、第1のインバータ43aにも結合される。第1のインバータの出力は、第1のANDゲート41aおよび第3のANDゲート41cに結合される。同様に、アドレスビットA₁は、第3のANDゲート41cの入力および第4のANDゲート41dの入力に結合される。アドレスビットA₁は、また、第2のインバータ43bにも結合される。第2のイ

ンバータの出力は、第1のANDゲート41aおよび第2のANDゲート41bに結合される。

【0039】第1、第2、第3および第4のANDゲート41a～41dの出力は、それぞれ第1、第2、第3および第4の転送トランジスタ45a～45dのゲートに結合される。各転送トランジスタ45a～45dは、ゲート、ソースおよびドレインを有する。転送トランジスタのゲートにアクティブ・ハイ(active high)が提供される場合、この転送トランジスタはオンになる。換言すると、転送トランジスタのソースに送られる入力または信号は、転送トランジスタのドレインに転送される。しかしながら、転送トランジスタのゲートにアクティブ・ロー(activelow)が送られる場合、この転送トランジ

スタはオフになるので、転送トランジスタのソースからドレインに信号は送られない。したがって、アドレスビットA₀およびA₁の条件または論理状態は、どの転送トランジスタ45a～45dがオンになり、どの転送トランジスタがオフになるかを決定或いは制御する。表1は、アドレスビットA₀およびA₁と転送トランジスタ45a～45dの間の関係を要約している。図1に示される通り、一度に4つの転送トランジスタ45a～45dのうち1つだけがオンであり、残りの3つの転送トランジスタはオフである。

【0040】

【表1】

A 0	A 1	4 5 a	4 5 b	4 5 c	4 5 d
0	0	オン	オフ	オフ	オフ
1	0	オフ	オン	オフ	オフ
0	1	オフ	オフ	オン	オフ
1	1	オフ	オフ	オフ	オン

【0041】第1、第2、第3および第4の転送トランジスタのドレインは、一緒に第5の転送トランジスタ45eのゲートに結合される。第5の転送トランジスタ45eのソースは、第6の転送トランジスタ45fのドレインに結合される。第6の転送トランジスタのソースは、接地される。第6の転送トランジスタのゲートは、内部クロック信号CLK-ATDB(図1)に結合される。したがって、第6の転送トランジスタは、内部クロック信号CLK-ATDBと同期してオン或いはオフになる。例えば、内部クロック信号がハイになると、このトランジスタはオンになり、内部クロック信号がローになると、トランジスタはオフになる。

【0042】第5の転送トランジスタ45eのドレインは、第1のラッチインバータ47aおよび第2のラッチインバータ47bを含むラッチ47に結合される。ラッチインバータ47a、47bは、両方とも入力および出力を持つ。第1のラッチインバータの入力は、第2のラッチインバータの出力に結合される。同様に、第2のラッチインバータの入力は、第1のラッチインバータの出力に結合される。第1のラッチインバータへの入力、すなわち、第2のラッチインバータの出力は、第5の転送トランジスタ45eのドレインに結合される。第2のラッチインバータの入力、すなわち、第1のラッチインバータの出力は、トリガ信号TRG1を提供する。また、第2のラッチインバータの入力は、第7の転送トランジスタ45gのドレインに結合される。第7の転送トランジスタのソースは、共通に結合或いは接地される。第7の転送トランジスタのゲートは、第3のインバータ43cの出力に結合され、このインバータの入力は、アドレスアドバンス信号/ADVに結合される。したがって、

アドレスアドバンス信号/ADVがローになると、第7の転送トランジスタ45gはオンになり、アドレスアドバンス信号/ADV1がハイになると、第7の転送トランジスタはオフになる。

【0043】第7の転送トランジスタがオンになると、接地に至るバスがトリガ信号TRG1に提供される。したがって、トリガ信号TRG1は、グラウンドすなわちローに引っ張られる。逆に、第7の転送トランジスタがオフになると、接地に至るバスがトリガ信号TRG1に提供されない。したがって、トリガ信号TRG1は、第1のラッチインバータ47aの出力の電圧レベルまたは状態になるように「フローティング(float)」にすることができる。

【0044】第1の転送トランジスタ45aのソースは、クロックカウンタ回路49の出力に結合される。第2の転送トランジスタ45bのソースは、第1のシフトレジスタ51aの出力に結合される。第3の転送トランジスタ45cのソースは、第2のシフトレジスタ51bの出力に結合される。第4の転送トランジスタ45dのソースは、第3のシフトレジスタ51cの出力に結合される。内部クロック信号CLK-ATDBは、各シフトレジスタ51a～51cおよびクロックカウンタ回路49に入力として送られる。アドレスアドバンス信号/ADVは、クロックカウンタ回路49に入力として送られる。アドレスアドバンス信号/ADV1は、クロックカウンタ回路49をリスタートするためのリセットとして作用する。

【0045】クロックカウンタ回路49は、内部クロック信号CLK-ATDBにより生成される「クロック」またはクロック周期の数をカウントする。換言すると、

一実施例において、アドレスアドバンス信号／ADVがハイになると、クロックカウンタ回路49は、内部クロック信号が生成するクロック周期の数をトラックするためにカウンタを起動する。内部クロック信号の立ち上がりエッジごとに、クロックカウンタ回路49のカウントがインクリメントし、アクティブ・ローがクロックカウンタ回路49から出力される。カウンタが3までカウントすると、すなわち、クロック信号CLK1により生成される3つのクロック周期がトラックされると、カウンタは、クロックカウンタ回路にアクティブ・ハイを出力させる。したがって、クロック信号CLK1から三番目の「クロック」の立ち上がりエッジにおいて、第1の転送トランジスタ45aのソースもアクティブ・ハイに遷移する。

【0046】表1を参照して述べた通り、初期アドレスがラッチバッファ17aに向いている場合（すなわち、 $A_0 = "0"$ 、 $A_1 = "0"$ ）、第1の転送トランジスタ45aのゲートはハイになる、すなわち、オンになる。第1の転送トランジスタ45aのソースもハイなので、第5の転送トランジスタ45eのゲートもアクティブ・ハイに遷移し、第5の転送トランジスタはオンになる。内部クロック信号から次の「クロック」（第4のクロック）が生成されると、第6の転送トランジスタ45fがオンになる。こうして、第1のラッチインバータ47aの入力から第5および第6の転送トランジスタ45eおよび45fを経て接地までのパスが確立される。したがって、第1のラッチインバータ47aへの入力、グラウンドすなわちローに引っ張られる。次に、第1のラッチインバータは、その入力を反転して、トリガ信号TRG1をアクティブ・ハイにする。トリガ信号TRG1は、内部クロックジェネレータに送られる。内部クロックジェネレータは、一実施例において、クロックバッファ3（図1）に取って代わる。他の実施例においては、内部クロックジェネレータは、クロックバッファを追加する。

【0047】IIIA. 内部クロックジェネレータ

図6は、本発明の内部クロックジェネレータの一実施例の概略を示している。トリガ信号TRG1は、内部クロックジェネレータの第1の入力に結合される。外部クロック信号CLKESDRは、内部クロックジェネレータの第2の入力に結合される。第1の入力は、第1の入力インバータ61に結合される。第2の入力は、第2の入力インバータ63および第1のNANDゲート65に結合される。第2の入力インバータ63の出力は、第1の入力インバータ61の出力に結合され、これら両方が第1のラッチインバータ67aの入力および第2のラッチインバータ67bの出力に結合される。第1のラッチインバータの出力および第2のラッチインバータの入力は、第1のNANDゲート65に結合される。第1のNANDゲートの出力は、第3のインバータ69の入力に

結合される。第3のインバータは、バッファクロック信号CLKBを出力する。したがって、バッファクロック信号CLKBは、外部クロック信号CLKESDR及びトリガ信号CLDESDRの両方がハイの場合に限りハイに遷移する。外部クロック信号CLKESDRまたはトリガ信号TRG1或いはその両方がローの場合、バッファクロック信号CLKBもローである。

【0048】したがって、内部クロックジェネレータは、外部クロック信号およびトリガ信号を使用してバッファクロック信号を生成する。バッファクロック信号は、外部クロック信号と同期化する。バッファクロック信号は、図1を参照して説明したように、アドレスバッファに与えられる。アドレスバッファは、デコーダが特定のメモリセルを選択するためおよびセンスアンプが選択されたメモリセルからデータを読み出すためのアドレス情報を生成する。

【0049】図7は、図6を参照して前述した内部クロック信号ジェネレータの動作を説明するために信号間の関係を示すタイミング図である。外部クロック波形EXTCLKW 301は、時間の経過を追って内部クロックジェネレータ（図6）に与えられる外部クロック信号CLKESDRを表している。外部クロック波形EXTCLKW 301は、0ボルトから基準電圧Vccの範囲の振幅を有する周期的信号である。アドレスアドバンス波形／ADVW 303は、時間の経過を追ってクロックカウンタ49（図5）に与えられるアドレスアドバンス信号／ADVを表している。アドレスアドバンス波形／ADVがローになることは、アドレスアドバンス信号／ADVがクロックカウンタをリセットすることを表す。図1および図7を参照すると、アドレス波形305は、アドレスバッファ7に与えられるアドレス信号 $A_0 \sim A_N$ を表している。説明された実施例において、与えられる初期アドレス信号 $A_0 \sim A_N$ はアドレス A_2 を目指す。図5を参照して説明したように、第3のANDゲート41cはハイを出力し、第3のトランジスタ45cをオンにする。

【0050】図5、図6および図7を参照すると、クロック周期C1～C3は、第5のトランジスタ45eのゲートにハイが与えられる前に通過する。クロック周期C4の立ち上がりエッジで、第6のトランジスタ45fはトリガ信号TRG1をハイにする。トリガ信号TRG1がハイになると、クロック周期C5の立ち上がりエッジで第1のNANDゲート65はバッファクロック信号CLKBを生成する。図1を参照すると、バッファクロック信号CLKBはアドレスバッファ7に与えられる。アドレスバッファはアドレス信号 A_3 、すなわち、次のアドレス信号をデコーダ9およびデータカウンタ13に与える。したがって、フェッチされて一時的にラッチバッファ17cに格納されたデータは、出力バッファ19に転送される。クロック周期C6の立ち上がりエッジで、

アドレス信号 A_2 に対応付けられるデータ D_2 が出力バッファから出力される。バッファクロック信号CLKBを処理することなく、ある初期アドレス、例えば、アドレス A_2 が与えられると、データが出力される前に追加の6クロック周期が必要とされる。

【0051】HIB. 追加内部クロックジェネレータ一実施例において、バッファクロック信号CLKBの最初のクロックは、追加内部クロックジェネレータによって、外部クロック信号CLKESDRの最初の4つの初期クロック周期の後に送られる。追加内部クロックを送ることにより、データ出力を「順番に関係なく」トリガすることでデータをより迅速に出力する。図8は、追加内部クロックジェネレータの実施例の概略を示している。第1の転送トランジスタ71aのゲートは、アドレス遷移検出信号ATD(図1)を含む入力ラインに結合される。第2の転送トランジスタ71bのゲートは、ラッチアクティブ信号LT1を含む入力ラインに結合される。第1の転送トランジスタ71aおよび第2の転送トランジスタ71bの両方のソースは、接地される。したがって、ラッチアクティブ信号LT1およびアドレス遷移検出信号ATDの両方がハイになると、第1および第2の転送トランジスタは接地に至るパスを確立する。第1の転送トランジスタ71aのドレインは、第1のラッチインバータ73aの入力に結合される。第2のラッチインバータ73bの出力も、第1の転送トランジスタ71aのドレインに結合される。第1のラッチインバータ73aの出力および第2のラッチインバータ73bの入力は、同様に第2の転送トランジスタ71bのドレイン、第1のNORゲート77および第1の遅延インバータ75aに結合される。第1の遅延インバータの出力は、第2の遅延インバータ75bに結合される。同様に、第2の遅延インバータの出力は第3の遅延インバータ75cに結合される。第3の遅延インバータの出力は、第1のNORゲート77に結合される。第1のNORゲート77の出力は、出力インバータ79の入力に結合される。出力インバータの出力は、追加内部クロック信号EXCLK1を含む出力ラインに結合される。

【0052】追加内部クロック信号EXCLK1の立ち上がりエッジで、デコーダカウンタセクタ13(図1)はラッチバッファ17a~17dをイネーブルにする。したがって、追加内部クロック信号EXCLK1をバッファクロック信号CLKBに結びつけるために“OR”演算が行われる。次に、ラッチ回路中のデータは、出力バッファ19に伝送され、バーストモード・フラッシュメモリから出力される。一実施例においては、追加内部クロック信号EXCLK1の立ち上がりエッジが生じると、初期セットアップクロック後まもなく或いは直ちにラッチの中のデータが現れる。他の実施例においては、初期セットアップクロック後直ちに現れるデータは優先されないため、この機構を割り込み禁止にするため

にバイパス信号INFが利用される。バイパス信号INFについては、図10に示されるパワーダウンディテクタを参照して以下に詳述する。

【0053】図9は、図8を参照して上述した追加内部クロック信号ジェネレータの動作を説明するために信号間の関係を示すタイミング図である。外部クロック波形EXTCLKW 301およびアドレスアドバンス波形/ADVW 303は、図7に示される波形と同じであり、図9においては分かりやすくするために示されている。アドレス遷移波形ATDW 403は、時間の経過を追ってアドレス遷移ディテクタ141(図1)により生成されるアドレス遷移信号ATDを表している。アドレスアドバンス波形/ADV 303の立ち下がりエッジにおいて、アドレス遷移信号ATDはハイになる。センスアンプ制御信号EQは、センスアンプ15a~15dにより生成される。センスアンプ制御信号EQは、センスアンプ15a~15dによりフェッチされるデータがラッチバッファ17a~17dに転送される準備が完了していることを意味する。アドレス遷移波形ATDの立ち下がりエッジは、センスアンプ制御波形EQW 405がハイになっていることで示される通り、センスアンプ信号EQをハイにする。センスアンプ制御波形EQWの立ち下がりエッジで、ラッチ制御波形LTがハイになる。ラッチ制御波形LTWは、データ出力の準備が完了していることを示すためにラッチバッファ17a~17dのうち1つが生成するラッチ制御信号LTCを表す。

【0054】バッファクロック波形INTCLK 401は、追加内部クロックジェネレータ(図8)によって生成される追加クロック信号EXCLKが追加されたバッファクロック信号CLKB(図6)を表す。バッファクロック波形INTCLK 401の中のクロック周期C0は、そのまま追加クロックジェネレータによって与えられる追加クロック信号を表す。生成される追加クロック、すなわちクロック周期C0は、出力バッファ19にデータ D_2 を出力させる。特に、追加クロックは、アドレスバッファにデコーダ9およびデータ制御13に対してアドレス信号 A_3 を提供する。したがって、一時的にラッチバッファ17cに記憶されるデータ D_2 は、出力バッファ19(図1)に転送される。出力バッファ19は、その後データ D_2 を出力する。したがって、図7に示されるタイミング図と比較して、データの出力は、クロック周期C6ではなく第4のクロック周期C4の直後に行われる。したがって、データは、データ D_0 から D_3 の初期読み出し動作後直ちに準備されるか或いはフラッシュメモリから提供される。

【0055】バーストアドレス遷移波形ATDCW 409は、アドレス遷移信号ATDAと似ているが、クロック周期4つごとに生成される。バーストアドレス遷移波形の立ち下がりエッジは、センスアンプ制御波形EQ

Wをハイにする。上述したように、ラッチバッファ17a~17dによって生成されるラッチ制御信号LT1は、データが出力の準備が完了していることを示す。したがって、バッファクロック波形INTCLK 401に示される次のクロック周期で、出力バッファ19はデータD₃を出力する。同様に、内部クロック波形INTCLK 401のその後のクロック周期ごとに、出力バッファ19は、連続的にデータを、例えばデータD₄、データD₅などを出力する。

【0056】IV. パワーダウディテクタ

図10は、本発明のパワーダウディテクタの一実施例の概略を示している。パワーダウディテクタは、図5を参照して上述したハンドシェイクモード部111に対してバイパス信号INFを生成する。パワーダウディテクタは、3つのインバータ83a~83cおよび3つの転送トランジスタ81a~81cを含む。第1の転送トランジスタ81aのゲートは、アドレス遷移検出信号ATD(図1)に結合される。前述したように、アドレス遷移検出信号ATDは、アドレス遷移ディテクタ141によって提供される。第1の転送トランジスタ81aのソースは、接地される。第1の転送トランジスタのドレインは、第1のラッチインバータ83aおよび第2のラッチインバータ83bによって構成されるラッチに結合される。ラッチは、ラッチの入力または出力で与えられる信号の電圧レベルを維持するのに役立つループを作る。特に、第1の転送トランジスタ81aのドレインは、第1のラッチインバータ83aの入力および第2のラッチインバータ83bの出力に、すなわちラッチの入力に結合される。

【0057】アドレス遷移検出信号ATDがハイのとき、第1の転送トランジスタは接地に至るパスを提供する。したがって、ラッチへの入力もグラウンド、すなわち、論理“0”にプルダウンされる。第1のラッチインバータ83aは、ラッチへの入力を反転して、ラッチの出力で論理“1”を生成する。ラッチの出力は、第1のラッチインバータ83aの出力、第2のラッチインバータ83bの入力および第2の転送トランジスタのドレインが交差する接続部である。第3のインバータ83cの入力はラッチの出力を受け、論理“1”を論理“0”に再び反転する。したがって、第3の転送トランジスタ83cのゲートに論理“0”が与えられるので、第3の転送トランジスタはオフになる。その結果、第3の転送トランジスタを通しては、すなわち、第3の転送トランジスタのドレインから第3の転送トランジスタのソースへは信号が与えられない。換言すると、開回路が構成されて、バイパス信号INFが生成されない。したがって、バイパス信号INFが生成されないので、カウンタ回路の動作に影響を与えない。

【0058】しかしながら、アドレス遷移検出信号ATDがローのとき、第1の転送トランジスタ81aはオフ

になる。したがって、ラッチの入力に開回路が構成される。第2の転送トランジスタ81bのソースは接地され、第2の転送トランジスタ81bのゲートはパワーダウン信号PDに結合される。パワーダウン信号PDは、OR論理演算(図示しない)によって生成される。OR論理演算は、入力としてセンスアンプ制御信号EQ(図9)、ラッチ制御信号LTC(図9)およびアドレス遷移検出信号ATDを有する。センスアンプ制御信号EQは、センスアンプが選択されたメモリセルからデータを検出したまたは読み出し、データがラッチ回路に転送される準備が完了していることを表す。

【0059】パワーダウン信号PDがハイのとき、第2の転送トランジスタ81bはオンになり、接地に至るパスが確立される。したがって、ラッチの出力は、グラウンドすなわち論理“0”にプルダウンされる。第3のインバータ83cは、論理“0”を反転して、ハイまたは論理“1”を第3の転送トランジスタ81cのゲートに送り、第3の転送トランジスタをオンにする。第3の転送トランジスタがオンであると、第3の転送トランジスタのドレインから第3の転送トランジスタのソースまでのパスが確立される。第3の転送トランジスタ81cのドレインは、図5を参照して前に説明したクロックカウンタ49の出力に接続される。したがって、クロックカウンタ49の出力は第3の転送トランジスタのソースに送られ、したがって、バイパス信号INFが提供される。

【0060】再び図5を参照して、バイパス信号INFは、直接第5の転送トランジスタ45eのゲートに結合されて、第1、第2、第3および第4の転送トランジスタ45a~5dはバイパスされる。第1、第2、第3または第4の転送トランジスタの条件すなわちオン/オフは、トリガ信号TRGがいつ生成されるかを制御するのではなく、バイパス信号INFがトリガ信号TRG1を制御する。そのため、バイパス信号INFがハイになると、トリガ信号TRG1もハイになる。したがって、INF信号をカウンタ回路に送ることによって、ハンドシェイクモード機構は割り込み禁止される。

【0061】図11は、図10を参照して上に説明したパワーダウディテクタの動作を説明するために信号間の関係を示すタイミング図である。アドレスアドバンス波形/ADVW 303、アドレス遷移波形ATDW 403、センスアンプ制御波形EQW 405およびラッチ制御波形LTW 407は、図9に示される波形と同じであるが、完全を期するために示されている。パワーダウン波形PDW501は、図10の第2のトランジスタ81bに送られるパワーダウン信号PDを表す。初期クロックC0は、内部クロック信号51が現れるときクロックバッファ3(図1)により生成される。パワーダウン信号PDがローのとき初期クロック503aが現れる場合、ハンドシェイクモード機構をオフにする必要

はない。ラッチ制御信号LTCの立ち下がりエッジで、アドレス遷移信号ATDはハイになる。したがって、図10の第3のトランジスタ81cはオンにならないので、バイパス信号INFはオープンのままである。

【0062】初期クロックが生成されるときも、アドレス遷移信号ATDはハイになる。したがって、パワーダウン信号PDがハイになった後でも、第3のトランジスタ81c（図10）はオンにならないので、ハンドシェイクモードはオフにならない。しかしながら、パワーダウン信号がハイになって第3のトランジスタ81cをオンにする前にアドレス遷移信号ATDがハイにならない場合、ハンドシェイクモード機構はオフになる。同様に、パワーダウン信号PDがハイになって第3のトランジスタ81cをオンにする前に初期クロックが生成されない場合、ハンドシェイクモード機構はオフになる。したがって、パワーダウン信号が第3のトランジスタ81cをオンにするのを防ぐのに間に合うように初期クロックまたはアドレス遷移信号ATDが生成されない場合、外部クロック信号81のクロック周波数は遅すぎる。この遅すぎるということは、バーストモード転送による初期待ち時間の短縮がフラッシュメモリの性能を上げないことを意味する。

【0063】IV. 出力バッファ回路

図12は、本発明の出力バッファの一実施例の概略を示している。一実施例において、出力バッファは、図1の出力バッファ19に代替する。出力バッファは、入力としてアドレス検出信号ATDA、バーストアドレス検出信号ATDC、出力イネーブル信号/OEおよびバッファクロック信号CLKBを受信する。出力バッファは、また、入力として、ラッチバッファ17a~17dからデータを受け取る。ラッチバッファからのデータは、第1の転送トランジスタ601aのドレインおよび第1のインバータ603aの入力に送られる。第1のインバータの出力は、バイパストランジスタ605aに結合される。バイパストランジスタ605aのソースは、第1のラッチ607aの入力に結合される。第1のラッチの出力は、第1のNORゲート609aの入力、および、第1のNANDゲート611aの入力に結合される。第1のNORゲートの他方の入力、出力イネーブル信号/OEに結合される。第1のNANDゲート611aの他方の入力、入力として出力イネーブル信号/OEを受信する第2のインバータ603bに結合される。出力イネーブル信号/OEがハイのとき、第1のNANDゲート611aは、論理“1”の出力を生成する。第1のNANDゲートの出力は、第1の出力トランジスタ613aのゲートに結合される。第1の出力トランジスタのドレインは基準電圧に結合され、第1の出力トランジスタのソースは出力信号OUTのための接続となる。出力信号OUTはバーストモード・フラッシュメモリ装置（図1）からの出力である。

【0064】再びバイパストランジスタ605aを参照すると、このバイパストランジスタのゲートは、第2のNORゲート609bの出力に結合される。第2のNORゲートは、外部クロック信号および第3のインバータ603cからの出力を入力として受け取る。第3のインバータの入力は、第2のラッチ607bの出力に結合される。第2のラッチの入力は、第2の転送トランジスタ615aのドレインに結合される。第2の転送トランジスタのゲートは、アドレス遷移検出信号ATDAに結合され、第2の転送トランジスタのソースは接地される。アドレス遷移検出信号ATDAがハイになると、第2の転送トランジスタ615aがオンになり、第2のラッチ607bの入力をグラウンドにプルダウンする。第2のラッチの出力はハイになり、第3のインバータ603cによって反転される。バッファクロック信号CLKBの立ち下がりエッジで、第2のNORゲート609bの出力は、ハイを出力するので、バイパストランジスタ605はオンになる。上述したように、バイパストランジスタがオンになると、出力イネーブル信号/OEがローになるとき出力バッファの入力にあるデータが出力される。

【0065】第3の転送トランジスタ615bのゲートはバーストアドレス遷移検出信号ATDCに結合され、第3の転送トランジスタのソースは接地される。アドレス遷移検出信号ATDAと同様に、バーストアドレス遷移検出信号ATDCがハイになると、第3の転送トランジスタはオンになる。第2のラッチの出力はグラウンドに引っ張られ、出力は第3のインバータ603cによって反転される。バッファクロック信号CLKBに関係なく、第2のNORゲート609bの出力は、ロウを出力するので、バイパストランジスタ605はオフになる。

【0066】第1の転送トランジスタ601aのソースは、第3のラッチ607cの入力に結合される。第3のラッチの出力は、第4の転送トランジスタ601bのドレインに結合される。第1の転送トランジスタのゲートは第5のインバータ603eに結合され、第5のインバータはバッファクロック信号CLKBに結合される。第4の転送トランジスタのゲートは外部クロック信号に結合される。バッファクロック信号の立ち下がりエッジで、第1の転送トランジスタのゲートはオンになる。出力バッファの入力にあるデータは、第1の転送トランジスタを通して転送される。第3のラッチ607cは、データを反転する。バッファクロック信号の立ち上がりエッジで、第4の転送トランジスタ601bはオンになる。次に、第3のラッチの出力の反転データは、第4の転送トランジスタを通して転送され、第1のラッチ607aの入力に送られる。第1のラッチは、データを再反転し、そのデータを第1のNANDゲート611aおよび第1のNORゲート609aに送る。データは、出力イネーブル信号がローのとき、出力信号OUTにより出

力される。

【0067】V. デコーダカウンタセクタ

図13は、本発明のバーストモード・フラッシュメモリにおけるデコーダカウンタセクタの一実施例の概略を示している。デコーダカウンタセクタは、4つのNANDゲート91a~91d、6つのインバータ93a~93f、および、4つのシフトレジスタ95a~95dを含む。デコーダカウンタセクタは、入力としてアドレス信号A₀~A₁（アドレス信号A₀~A_Nにおける最初の2つのビット）を受信する。アドレス信号A₀は、第5のインバータ93eに結合され、アドレス信号A₁は、第6のインバータ93fに結合される。第5のインバータの出力は、第1のNANDゲート91aの入力および第3のNANDゲート91cの入力に結合される。第6のインバータ93fの出力は、第1のNANDゲート91aおよび第2のNANDゲート91bに結合される。アドレス信号A₀は、第2のNANDゲート91bおよび第4のNANDゲート91dに結合される。アドレス信号A₁は、第3のNANDゲート91cの入力および第4のNANDゲート91dの入力に結合される。

【0068】第1、第2、第3および第4のNANDゲート91a~91dの出力は、それぞれ、第1、第2、第3および第4のインバータ93a~93dの入力に結合される。第1、第2、第3および第4のインバータの出力は、シフトレジスタ95a~95dに結合される。特に、第1のインバータ93aの出力は、第1のシフトレジスタ95aの第1の入力A1および第2のシフトレジスタ95bの第2の入力B2に結合される。第2のインバータ93bの出力は、第2のシフトレジスタ95bの第1の入力A2および第3のシフトレジスタ95cの第2の入力B3に結合される。第3のインバータ93cの出力は、第3のシフトレジスタの第1の入力A3および第4のシフトレジスタ95dの第2の入力B4に結合される。第4のインバータ93dの出力は、第4のシフトレジスタの第1の入力A4に結合され、第1のシフトレジスタ95aの第2の入力B1に接続するために「ループバック(loop back)」する。各シフトレジスタ95a~95dには、入力としてバッファクロック信号CLKBも送られる。

【0069】インバータの出力がシフトレジスタに入力として提供されると、シフトレジスタには、次のアドレスの状態に関する情報が与えられる。シフトレジスタは、次のアドレスの状態を使用して、より迅速にそれぞれのラッチバッファにラッチ・イネーブル信号LT0~LT3を提供する。図14は、図13に示されるシフトレジスタ95a~95dの一実施例の概略図である。入力Aは、入力A1~A4を代表し、入力Bは入力B1~B4を代表する。同様に、ラッチ・イネーブル出力LTは、ラッチ・イネーブル信号LT0~LT3を代表す

る。

【0070】第1のシフトレジスタの95aの第1の入力Aは、第1のシフトインバータ97に結合される。第1のシフト・インバータの出力は、第1の転送トランジスタ99aのドレインに結合される。第1の転送トランジスタのゲートは、アドレス初期化信号INIT1に結合される。アドレス初期化信号INIT1は、初期化回路（図示しない）によって与えられる外部信号である。アドレス初期化信号INIT1がハイの場合、第1の転送トランジスタ99aはオンになる。換言すると、第1のデコード信号D1は、第1の転送トランジスタを通して第1のラッチインバータ101aの入力および第2のラッチインバータ101bの出力に転送される。第1のラッチインバータ101aは、デコード信号D1を再反転して、出力する。

【0071】第1のシフトレジスタ95aの第2の入力Bは、第2の転送トランジスタ99bのドレインに結合される。第2の転送トランジスタのゲートは、反転バッファクロック信号/CLKB（図1）に結合される。反転バッファクロック信号/CLKBがハイの場合、第2の転送トランジスタ99bはオンになる。したがって、先取り(look-ahead)デコード信号LD1は、第2の転送トランジスタを通して第3のラッチインバータ101cの入力および第4のラッチインバータ101dの出力に転送される。第3のラッチインバータは、先取りデコード信号LD1を変換して第3の転送トランジスタ99cのドレインに送る。第3の転送トランジスタ99cのゲートは、バッファクロック信号CLKBに結合される。バッファクロック信号がハイのとき、第3の転送トランジスタはオンになり、反転先取りデコード信号LD1は、第3の転送トランジスタを通して第1のラッチインバータ101aの入力および第2のラッチインバータ101bの出力に転送される。反転外部クロック信号が第2の転送トランジスタ99bのゲートに与えられるので、第2の転送トランジスタはオフになる。したがって、1つのクロック周期において、デコード信号D1がシフトレジスタによって出力され、次のクロック周期において、先取りアドレス信号がシフトレジスタによって出力される。

【0072】したがって、適切なラッチ・イネーブル信号LT0~LT3を生成するための1つのアドレスから次のアドレスまでの遅延は、第3の転送トランジスタから第1のラッチインバータを通して生じる。その結果、初期アドレスが与えられると、次のアドレスが予測されるので、クロックのための時間は短縮される。したがって、データデコードパスは、外部クロックからクロックバッファ、シフトレジスタの一部、ラッチまで、および、出力バッファを通して出力までの論理パスとなり、外部クロックからクロックバッファ、アドレスデコーダ、デコーダ、ラッチまで並びに出力バッファを通して

出力までの初期バスに比べて大幅に（時間的に）短くなる。

【0073】したがって、本発明は、バーストモード・フラッシュメモリを提供する。本発明は特定の実施態様について説明されているが、多くの付加的変更態様および変形が当業者には明らかであろう。したがって、本発明は、特に上述した以外の方法で実施できると解釈すべきである。本発明の以上の実施態様は、あらゆる点で限定的でなく例示と見なすべきであり、本発明の範囲は、以上の説明ではなく添付の請求項およびそれと同等のものによって決定されるべきである。

【0074】（付記1）それぞれがデータを記憶する複数のメモリセルを有するメモリセルアレイと、予め定義された制御信号を受信すると、少なくとも1クロック周期分、内部クロックの生成を遅延させる遅延回路を含み、前記複数のメモリセルからメモリセルのサブセットを選択すると共に、外部クロックと同期化される内部クロックを生成する入力回路と、選択された前記メモリセルのサブセットに記憶されるデータをフェッチする読み出し回路と、前記入力回路が予め定義された制御信号を受信すると、前記内部クロックの生成が少なくとも1クロック周期遅延されるように、予め定められたグループでフェッチされたデータを前記内部クロックと同期して出力する出力回路と、を備えることを特徴とする外部クロックと同期して動作するバーストモード・フラッシュメモリ装置。

【0075】（付記2）付記1に記載のバーストモード・フラッシュメモリ装置において、前記入力回路は、前記予め定義された制御信号に対応する信号を受信し、該予め定義された制御信号の遅延された変形である内部イネーブル信号を生成する遅延回路と、前記内部イネーブル信号が第1の状態である場合に限り少なくとも1つの内部クロック信号が生成され、外部クロック信号を使って該内部クロック信号を生成する内部クロックジェネレータ回路と、を備えることを特徴とするバーストモード・フラッシュメモリ装置。

【0076】（付記3）付記2に記載のバーストモード・フラッシュメモリ装置において、前記入力回路は、さらに、アドレスバッファを備え、該アドレスバッファは、アドレス信号を受信して、前記少なくとも1つの内部クロック信号を使用して該アドレス信号からデコードされたアドレス信号を生成することを特徴とするバーストモード・フラッシュメモリ装置。

【0077】（付記4）メモリセルアレイ、該メモリセルアレイにアクセスする際に使用されるアドレス情報を処理するアドレスデコーダ、および、該メモリセルアレイのアクセスの信頼性を向上させる方法を備えるフラッシュメモリ装置において、該方法は、出力イネーブル信号を受信し、該出力イネーブル信号を複数のクロック周期だけ遅延することにより遅延された出力イネーブル

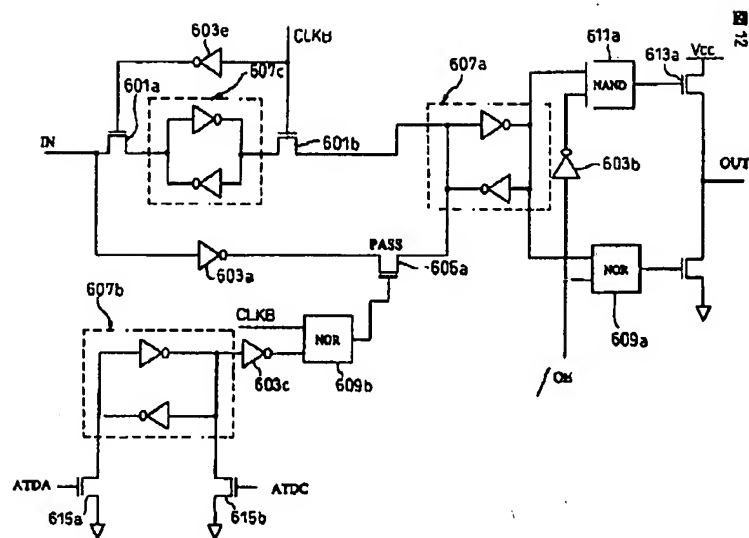
信号を構成し、内部クロック信号をイネーブルにするために使用される前記遅延された出力イネーブル信号を内部クロックジェネレータに供給し、そして、前記遅延された出力イネーブル信号に基づいて、前記メモリセルアレイにアクセスする際に使用される内部クロック信号を生成することを備えることを特徴とするフラッシュメモリ装置。

【0078】（付記5）メモリセルアレイ、アドレスデコーダのためにアドレス信号を生成するアドレス信号ジェネレータ、外部クロック信号に基づいて内部クロック信号を生成するクロックバッファ、および、ハンドシェイク回路を含むフラッシュメモリ装置であって、該ハンドシェイク回路は、前記アドレス信号ジェネレータによって生成される最下位アドレス信号を比較し、該比較に基づいて制御信号を構成するコンパレータと、前記外部クロックを位相シフトし、それによりシフトされたクロック信号を構成するシフト回路と、前記制御信号を使用して前記シフトされたクロック信号の出入りを制御するゲート回路を備え、それによって、前記シフトされたクロック信号が前記内部クロック信号の生成において前記クロックバッファで使用されることを特徴とするフラッシュメモリ装置。

【0079】（付記6）メモリセルアレイ、アドレスデコーダのためにアドレス信号を生成するアドレス信号ジェネレータ、外部クロック信号に基づいて内部クロック信号を生成するクロックバッファを含む付記5に記載のフラッシュメモリ装置において、前記ハンドシェイク回路は、さらに、前記シフトされたクロック信号によって活性化されるゲートを備え、該ゲートが前記内部クロック信号を生成する前記クロックバッファで使用される出力信号を制御することを特徴とするフラッシュメモリ装置。

【0080】（付記7）メモリセルアレイ、アドレスデコーダのためにアドレス信号を生成するアドレス信号ジェネレータ、外部クロック信号に基づいて内部クロック信号を生成するクロックバッファを含む付記6に記載のフラッシュメモリ装置において、前記ハンドシェイク回路は、さらに、装置のパワーダウンを示す入力信号を受信し、該装置のパワーダウンを示す入力信号が前記シフトされたクロック信号によるゲートの活性化を無効にすることを特徴とするフラッシュメモリ装置。

【0081】（付記8）情報を記憶するメモリセルアレイ、アドレス信号を生成するアドレス信号ジェネレータ、該メモリセルアレイにアクセスするためにアドレス信号をデコードしセンスアンプ回路を使ってデータをバイパスモードを有する出力バッファに供給するアドレスデコーダを有するフラッシュメモリ装置において、該出力バッファは、入力信号を受信して出力信号を出力し、複数のラッチを含む第1のデータバスと、前記入力信号を受信して前記出力信号を出力し、前記第1のデータバ



【図14】

